

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-229525

(43)Date of publication of application : 16.08.2002

(51)Int.Cl.

G09G 3/36
G02F 1/133
G09G 3/20

(21)Application number : 2001-027042

(71)Applicant : NEC CORP

(22)Date of filing : 02.02.2001

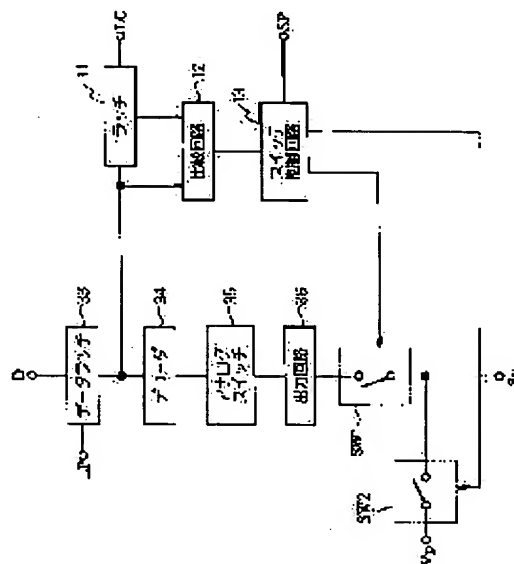
(72)Inventor : KOSAKA RYOSUKE

(54) SIGNAL LINE DRIVING CIRCUIT OF LIQUID CRYSTAL DISPLAY DEVICE AND SIGNAL LINE DRIVING METHOD

(57)Abstract:

PROBLEM TO BE SOLVED: To reduce power consumption of a liquid crystal display device which is provided with a precharge means.

SOLUTION: The signal line driving circuit is used for an active matrix type liquid crystal display device, supplies an intermediate potential V_p as a precharge voltage and gradation voltages corresponding to image data to a plurality of signal lines and has a latch 11 and a comparator circuit 12, through which image data prior to one horizontal interval and the image data to be displayed next are compared for every signal line, and a switch control circuit 13 which supplies the intermediate potential V_p in accordance with the result of the comparison in the circuit 12. The current loss normally associated with precharge is reduced because no precharge is conducted when a high speed and stable writing is made possible even though no precharge is conducted.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection].

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P) (12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-229525
(P2002-229525A)

(42) 公開日 平成14年8月16日 (2002.8.16)

(5) Int.Cl.		F I		分類記号		特許請求 未請求 請求項の数12 O L (全 13 頁)	
G 0 9 G	3 / 3 6	G 0 9 G	3 / 3 6	G 0 9 G	3 / 3 6	2 H 0 9 3	2 H 0 9 3
G 0 2 F	1 / 1 3 3	G 0 2 F	1 / 1 3 3	G 0 2 F	1 / 1 3 3	5 5 0	5 C 0 0 6
G 0 9 G	3 / 2 0	G 0 9 G	3 / 2 0	G 0 9 G	3 / 2 0	6 1 1 A	5 C 0 8 0
						6 2 4 B	6 2 4 B

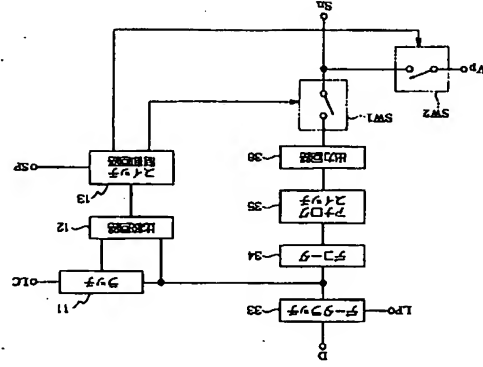
(2) 出願番号		特開2001-27042 (P2001-27042)	
(22) 出願日		平成13年2月2日 (2001.2.2)	
(71) 出願人		000004237 日本電気株式会社 東京港区芝五丁目7番1号	
(72) 発明者		小坂 良介 東京港区芝五丁目7番1号 日本電気株 式会社内	
(74) 代理人		10079164 弁理士 高橋 勇 Fターム(参考) 2B03 M16 N31 M47 M51 N25 N28 N39 N80 5D06 A11 A21 AF53 AF54 B811 B311 B316 B304 B714 FA47 5D08 A10 B805 B226 F009 J102 J103 J104	

(54) 発明の名称 液晶表示装置の信号線駆動回路及び信号線駆動方法

(57) 要約

【課題】 プリチャージ手段を備えた液晶表示装置の省電力化を図る。

【解決手段】 本発明の信号線駆動回路は、アクティブマトリクス型液晶表示装置に用いられ、プリチャージ電圧としての中間電位Vpと画像データに応じた階調電圧とを複数の信号線に供給するものであり、1水平期間前の画像データと次に表示する画像データとを各信号線ごとに比較するラッチ11及び比較回路12と、比較回路12での比較結果に応じて中間電位Vpを供給するスイッチ制御回路13とを備えたことを特徴とする。プリチャージがなくても高速かつ安定した書き込みが可能である場合にはプリチャージを行わないため、プリチャージに要する電流の損失を低減することができる。



【特許請求の範囲】

【請求項1】 プリチャージ電圧と画像データに応じた階調電圧とを複数の信号線に供給する、液晶表示装置の信号線駆動回路において、

1水平期間前の前記画像データと次に表示する前記画像データとを前記各信号線ごとに比較する画像データ比較手段と、

この画像データ比較手段での比較結果に応じて前記プリチャージ電圧の供給を制御するスイッチ制御手段と、を備えたことを特徴とする液晶表示装置の信号線駆動回路。

【請求項2】 前記スイッチ制御手段は、次に表示する前記画像データの前記階調電圧が1水平期間前の前記画像データの前記階調電圧と一定範囲内にある場合に、前記プリチャージ電圧を供給しない、

請求項1記載の液晶表示装置の信号線駆動回路。

【請求項3】 前記スイッチ制御手段は、次に表示する前記画像データの前記階調電圧が1水平期間前の前記画像データの前記階調電圧と一致する場合に、前記プリチャージ電圧を供給しない、

請求項1記載の液晶表示装置の信号線駆動回路。

【請求項4】 前記スイッチ制御手段は、次に表示する前記画像データの前記階調電圧の極性が1水平期間前の前記画像データの前記階調電圧の極性と異なる場合にのみ、前記プリチャージ電圧を供給する、

請求項1記載の液晶表示装置の信号線駆動回路。

【請求項5】 前記スイッチ制御手段は、次に表示する前記画像データの前記階調電圧の極性が1水平期間前の前記画像データの前記階調電圧の極性と異なる場合に、前記プリチャージ電圧を供給する、

請求項2又は3記載の液晶表示装置の信号線駆動回路。

【請求項6】 前記スイッチ制御手段は、

次に表示する前記画像データの前記階調電圧が1水平期間前の前記画像データの前記階調電圧よりも大きい場合に、昇圧用に適した第一のオペアンプを用いて前記階調電圧を供給し、

次に表示する前記画像データの前記階調電圧が1水平期間前の前記画像データの前記階調電圧よりも小さい場合に、降圧用に適した第二のオペアンプを用いて前記階調電圧を供給し、

次に表示する前記画像データの前記階調電圧が1水平期間前の前記画像データの前記階調電圧と等しい場合に、前記第一及び第二のオペアンプのどちらか一方を用いて前記階調電圧を供給する、

請求項1乃至5のいずれかに記載の液晶表示装置の信号線駆動回路。

【請求項7】 プリチャージ電圧と画像データに応じた階調電圧とを複数の信号線に供給する、液晶表示装置の信号線駆動方法において、

1水平期間前の前記画像データと次に表示する前記画像

データとを前記各信号線ごとに比較し、その比較結果に応じて前記プリチャージ電圧の供給を制御する、

ことを特徴とする液晶表示装置の信号線駆動方法。

【請求項8】 次に表示する前記画像データの前記階調電圧が1水平期間前の前記画像データの前記階調電圧の一定範囲内にある場合は、前記プリチャージ電圧を供給しない、

請求項7記載の液晶表示装置の信号線駆動方法。

【請求項9】 次に表示する前記画像データの前記階調電圧が1水平期間前の前記画像データの前記階調電圧と一致する場合は、前記プリチャージ電圧を供給しない、

請求項7記載の液晶表示装置の信号線駆動方法。

【請求項10】 次に表示する前記画像データの前記階調電圧の極性が1水平期間前の前記画像データの前記階調電圧の極性と異なる場合にのみ、前記プリチャージ電圧を供給する、

請求項8記載の液晶表示装置の信号線駆動方法。

【請求項11】 次に表示する前記画像データの前記階調電圧の極性が1水平期間前の前記画像データの前記階調電圧の極性と異なる場合は、前記プリチャージ電圧を用いて前記階調電圧を供給し、

次に表示する前記画像データの前記階調電圧が1水平期間前の前記画像データの前記階調電圧と等しい場合は、

前記第一及び第二のオペアンプのどちらか一方を用いて前記階調電圧を供給する、

請求項7乃至11のいずれかに記載の液晶表示装置の信号線駆動方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、アクティブマトリクス型などの液晶表示装置に用いられ、低消費電力に適した、信号線駆動回路及び信号線駆動方法に関する、

【0002】

【従来の技術】 最近の液晶表示装置では、液晶パネルの大型化及び高画質化に伴い、電流駆動能力が高かつ消費電力の低い駆動回路が求められてきた。そのような要求を満たすものとして、プリチャージ手段を備えた液晶表示装置が知られている (例えば特開8-87248号公報)。このプリチャージ手段とは、液晶パネル上に配置された画素容量へ階調電圧を供給する直前に、所定の基準電位を信号線へ印加するものである。これによ

り、駆動回路の出力段にかかる負荷を低減することで省電力化を図ることができ、また、負荷のばらつきを抑制することで安定した書き込みが可能となる。

[0003] 図9は、このようなプリチャージ手段を備えた従来の液晶表示装置を示す回路図である。以下、この図面に基き説明する。

[0004] プリチャージ回路25は、信号線S1、S2、…、Snと信号線駆動回路22の出力側とをそれぞれ接続するスイッチSW11、SW22、…、SWnを有し、各信号線S1、S2、…、Snと中間電位Vpとをそれぞれ接続するスイッチSW12、SW22、…、SWn2から構成されている。各スイッチSW11、S12、…は、タイミング発生回路21から供給される信号に基づいて動作する。

[0005] 図10は、図9の液晶表示装置における信号線駆動回路の一例を示すブロック図である。図11は、図10の信号線駆動回路の動作を示すタイミングチャートである。以下、図9乃至図11に基き説明する。

[0006] 信号線駆動回路22は、クロック信号Cl、Kにより動作するシフトレジスタ31と、シフトレジスタ31の出力によって制御されるmビットの画像データ並列に保持するデータレタスタ32と、制御信号LPにより画像データを一括して転送し保持するデータラッチ33と、mビット入力のデコード34と、階調電圧発生回路37から入力する2m値の電圧から階調電圧を選択して出力するアナログスイッチ35と、アナログスイッチ35から出力された階調電圧をプリチャージ回路25へ出力する出力回路36と、前述したプリチャージ回路25とからなる。

[0007] スイッチSWn1、SWn2は、それぞれ外部のタイミング発生回路21から供給されるパルス信号SP1、SP2に従ってオン/オフを切り替える。

[0008]

[発明が解決しようとする課題] 従来の信号線駆動回路では、図11の期間T1、T2を参照しても分かるように、1水平期間の前段で供給される階調電圧に関わらず常にプリチャージを行っている。このようなプリチャージは、ドット反転駆動のように異なる極性の階調電圧を供給する場合には非常に有効な手段である。しかしながら、次に表示する画像データの階調電圧が1水平期間前の画像データの階調電圧と等しい、又はその階調電圧の一定範囲内にある場合、プリチャージを行うことによって階調電圧の変動が大きくなり、その分だけ逆相対に消費電力が増加してしまう、という問題があった。

[0009] ところで、特に携帯電話端末、各種携帯機器の分野においては、その性質上、液晶パネルの大きさが限定されるため、大型液晶パネルのドライバほどの電流駆動能力は要求されないが、更なる省電力化が求められている。

[0010]

[発明の目的] そこで、本発明の目的は、上記の問題点を改善することにより更に消費電力を低減した、液晶表示装置の信号線駆動回路を提供することにある。

[0011]

[課題を解決するための手段] 本発明に係る信号線駆動回路は、プリチャージ電圧と画像データに応じた階調電圧とを複数の信号線に供給するものであって、1水平期間前の画像データと次に表示する画像データとを各信号線ごとに比較する画像データ比較手段と、画像データ比較手段で比較結果に応じてプリチャージ電圧の供給を制御するスイッチ制御手段とを備えたことを特徴とする(請求項1)。本発明に係る信号線駆動方法は、本発明に係る信号線駆動回路に使用されるものであって、1水平期間前の画像データと次に表示する画像データとを各信号線ごとに比較し、その比較結果に応じてプリチャージ電圧の供給を制御することを特徴とする(請求項7)。

[0012] 1水平期間前に供給された階調電圧と次に供給される階調電圧との変化量が小さい場合は、必ずしもプリチャージが必要ではない。そのような場合にプリチャージを省略することにより、省電力化が図れる。スイッチ制御手段は、例えば次の①～⑤のように動作する。

[0013] ①、次に表示する画像データの階調電圧が1水平期間前の画像データの階調電圧の一定範囲内にある場合は、プリチャージ電圧を供給しない(請求項2、8)。「一定範囲内」とは、プリチャージが必要となる範囲のことであり、理論的又は実験的に設定される。

[0014] ②、次に表示する画像データの階調電圧が1水平期間前の画像データの階調電圧と一致する場合、プリチャージ電圧を供給しない(請求項3、9)。

請求項2、8における「一定範囲内」を限定したものである。

[0015] ③、次に表示する画像データの階調電圧の極性が1水平期間前の画像データの階調電圧の極性と異なる場合にのみ、プリチャージ電圧を供給する。1水平期間で階調電圧の極性が反転する場合は、階調電圧の変化量が大きい。このような場合にのみプリチャージを実行することにより、省電力化が図れる。

[0016] ④、次に表示する画像データの階調電圧の極性が1水平期間前の画像データの階調電圧の極性と異なる場合は、プリチャージ電圧を供給する(請求項4、10)。これは請求項2、3、8、9と組み合わせる。

[0017] ⑤、次に表示する画像データの階調電圧が1水平期間前の画像データの階調電圧よりも大きい場合は、昇圧用に通した第一のオペアンプを用いて階調電圧を供給し、次に表示する画像データの階調電圧が1水平期間前の画像データの階調電圧よりも小さい場合は、降

圧用に通した第二のオペアンプを用いて階調電圧を供給し、次に表示する画像データの階調電圧が1水平期間前の画像データの階調電圧と等しい場合は、第一及び第二のオペアンプのどちらか一方を用いて階調電圧を供給する。他の請求項と組み合わせることで、更に、省電力化が図れる。なお、「昇圧用に通した」とは例えば「昇圧用として省電力化が可能」という意味であり、「降圧用に通した」とは例えば「降圧用として省電力化が可能」という意味である。

[0018]

[発明の実施形態] 図1は、本発明に係る信号線駆動回路の第一実施形態を示すブロック図である。以下、この図面に基き説明する。

[0019] 本実施形態の信号線駆動回路は、アクティブマトリクス型液晶表示装置に用いられ、プリチャージ電圧としての中間電位Vpと画像データに応じた階調電圧とを複数の信号線に供給するものであり、1水平期間前の画像データと次に表示する画像データとを各信号線ごとに比較する画像データ比較手段としてのラッチ11及び比較回路12と、比較回路12での比較結果に応じて中間電位Vpを供給するスイッチ制御手段としてのスイッチ制御回路13とを備えたことを特徴とする。

[0020] また、本実施形態の信号線駆動回路は、図10の従来の信号線駆動回路と同じように、データラッチ33、デコード34、アナログスイッチ35、出力回路36、アナログスイッチSW1、SW2等を備えている。なお、本実施形態の信号線駆動回路は、わかりやすくするために、信号線Snのみに対して図示している。したがって、実際には、信号線S1、S2、…、Snのそれぞれに対して本実施形態の信号線駆動回路が設けられる。

[0021] ラッチ11は、データラッチ33の出力側と接続されており、データラッチ33の保持するデータが信号LPによって更新される直前に、データラッチ33から出力されたデータを信号LCに従って取り込む。これにより、ラッチ11は、1水平期間前に表示された画像データを保持することができ、そのため、比較回路12は、データラッチ33の出力信号とラッチ11の出力信号とにより、1水平期間前の画像データと比較できる。

[0022] スイッチ制御回路13は、タイミング発生回路(図9参照)から供給される信号SPと比較回路12の出力信号とに基づいて、アナログスイッチSW1、SW2のオン/オフを切り替える。スイッチSW1がオンすると信号線Snへ出力回路36から階調電圧が供給され、スイッチSW2がオンすると信号線Snへ中間電位Vpが供給される。

[0023] このように、本実施形態の信号線駆動回路は、1水平期間前の画像データの比較結果に基づいて、信号線Snと中間電位Vpとをショートさせるタイ

ミングすなわちプリチャージを行うタイミングを制御している。したがって、連続した水平期間で等しい階調電圧を供給する場合や、ライン反転駆動のように1フレーム期間内において供給される階調電圧が同一極性であるような場合に、不必要なプリチャージを避けることにより、電力消費を低減することができる。

[0024] 図2は、本発明に係る信号線駆動回路の第二実施形態を示すブロック図である。以下、この図面に基き説明する。

[0025] 本実施形態の信号線駆動回路は、第一実施形態を更に具体化したものであり、1水平期間前の画像データと次に表示する画像データとを各信号線ごとに比較する画像データ比較手段としてのラッチ51及び比較回路52と、比較回路52での比較結果に応じて中間電位Vpを供給するスイッチ制御手段としてのスイッチ制御回路53とを備えたことを特徴とする。

[0026] また、本実施形態の信号線駆動回路は、データラッチ43、デコード44、アナログスイッチ45、出力アンプ46、アナログスイッチSW1、SW2等を備えている。なお、本実施形態の信号線駆動回路は、わかりやすくするために、信号線Snのみに対して図示している。したがって、実際には、信号線S1、S2、…、Snのそれぞれに対して本実施形態の信号線駆動回路が設けられる。

[0027] 画像データDは、4ビットすなわち16階調である。データラッチ43は、4ビットのラッチ回路であり、信号LPのタイミングに従って画像データDを保持し、取り込んだ画像データDをデコード44、ラッチ51及び比較回路52へと転送する。画像データDは、16個の信号の中のいずれかにデコード44によりデコードされ、アナログスイッチ45へ出力される。アナログスイッチ45は、デコード44から入力した信号に従ってオン/オフを切り替える複数のアナログスイッチ群から構成されており、階調電圧発生回路(図10参照)から入力する電圧V0、…、V15の中から任意の階調電圧を1つ選択し、それを出力する。出力アンプ46は、アナログスイッチ45から入力した階調電圧を、スイッチSW1を介して信号線Snへ供給する。また、信号線SnはスイッチSW2を介して中間電位Vpとも接続される。

[0028] 1水平期間前の画像データを保持するためには、ラッチ51は、2ビットのラッチ回路であり、信号LCのタイミングに従ってデータラッチ43から出力される画像データDの上位2ビットを保持し、それを画像データD'として比較回路52へ出力する。ラッチ51は、信号LPによってデータラッチ43の内容が更新される直前にデータを取り込むため、1水平期間前の画像データを保持できる。

[0029] 比較回路52は、データラッチ43、ラッチ51及びスイッチ制御回路53に接続され、ラッチ5

1から供給される1水平期間前の画像データD'と、データラッチ43から供給される画像データDの上位2ビットとを受け取り、両者の比較を行う。また、比較回路52は、画像データDの上位2ビットと画像データD'とが一致しているか否かを判別する機能を有する。

[0030] スイッチ制御回路53は、アナログスイッチSW1、SW2の制御端子に接続されており、比較回路52の比較結果信号CMPに基づいてアナログスイッチSW1、SW2のオン/オフを切り替える。アナログスイッチSW1がオンすると、出力アンプ46から出力される任意の階調電圧が信号線Snへ供給される。スイッチSW2がオンすると中間電位Vpが信号線Snへ供給される。このように、信号線Snがプリチャージされる。このように、本実施形態の信号線駆動回路は、1水平期間前の画像データを比較した結果に基づいてアナログスイッチSW2を制御することにより、プリチャージの制御を行う。

[0031] 図3は、図2の信号線駆動回路の動作を示すタイミングチャートである。以下、図2及び図3に基づき説明する。

[0032] 第一の画像データD1が信号線駆動回路に供給されると、画像データD1はデータラッチ43に取り込まれ、デコーダ44へ転送される。デコーダ44及びアナログスイッチ45により、画像データD1に対応する階調電圧がV0、…、V16の中から選択される。選択された階調電圧は、出力アンプ46へ出力され、更にスイッチSW1を介して信号線Snへ供給される。

[0033] また、データラッチ43から出力される画像データD1の上位2ビットは、ラッチ51及び比較回路52へも転送される。このとき、ラッチ51の内部には、1水平期間前に表示された画像データの上位2ビットの画像データD0'が保持されている。比較回路52は、2ビットデータD'の上位2ビットと画像データD0'とを比較し、その比較結果信号CMPをスイッチ制御回路53へ出力する。

[0034] スイッチ制御回路53は、比較の結果が一致しないとき、すなわち、比較結果信号CMP=Hのとき、アナログスイッチSW2をオンさせ、信号線Snを予め設定された中間電位Vpにプリチャージする。続いて、アナログスイッチSW2をオフするのと同様に、アナログスイッチSW1をオンすることにより、出力アンプ46から出力される階調電圧を信号線Snへ供給する。アナログスイッチSW1、SW2の切替は、外部のタイミング発生回路から出力される信号SP1に基づいて、予め設定されたタイミングで行う。

[0035] 続いて、第二の画像データD2が供給され、データラッチ43が保持するデータが更新される直前に、ラッチ51は信号LCのタイミングに従って画像データD1の上位2ビットを画像データD1'として取

り込み、また、画像データD2がデータラッチ43に取り込まれる。上記と同様に、デコーダ44及びアナログスイッチ45を經由して、画像データD2に応じた階調電圧が出力アンプ46から出力される。

[0036] 同時に、比較回路52は、ラッチ51の画像データD1'と、データラッチ43から出力される画像データD2の上位2ビットとを比較する。これらの二つの画像データが一致する場合、すなわち、画像データD2によって選択された階調電圧と、1水平期間前に供給された画像データD1によって選択された階調電圧との電圧差が小さい場合、比較回路52は比較結果信号CMP=Lを出力する。

[0037] 信号線Snの電圧変動が小さいと、プリチャージを行わなくても安定した書き込みが可能である。そのため、スイッチ制御回路53は、アナログスイッチSW2をオフしたままプリチャージを行わず、アナログスイッチSW1のみをオンする。アナログスイッチSW1がオンすると、出力アンプ46から出力される階調電圧が信号線Snへ供給される(T2)。

[0038] 同様に、ラッチ51が画像データD2の上位2ビットD2'を取り込み、第三の画像データD3がデータラッチ43へ入力されると、比較回路52はラッチ51の画像データD2'と画像データD3の上位2ビットとを比較する。これらの二つの画像データが一致しないため、比較結果信号CMP=Hとなり、アナログスイッチSW2、SW1が順次オンする。これにより、信号線Snは、中間電位Vpへプリチャージされ、続いて画像データD3に対応した階調電圧が供給される(T3)。

[0039] 図4は、本発明に係る信号線駆動回路の第三実施形態を示すブロック図である。以下、この図面に基づき説明する。

[0040] 本実施形態の信号線駆動回路は、第一実施形態を交流反転駆動方式へ適用した具体例であり、1水平期間前の画像データと次に表示する画像データとを各信号線ごとに比較する画像データ比較手段としてのラッチ71及び比較回路72と、比較回路72での比較結果に基づいて中間電位Vp、Vqを供給するスイッチ制御手段としてのスイッチ制御回路73とを備えたことを特徴とする。

[0041] また、本実施形態の信号線駆動回路は、データラッチ33、デコーダ34、アナログスイッチ35、出力アンプ36、アナログスイッチSW1、SW2、SW3等を備えている。なお、本実施形態の信号線駆動回路は、わかりやすくするために、信号線Snのみに対するものとして図示している。したがって、実際には、信号線S1、S2、…、Snのそれぞれに対して本実施形態の信号線駆動回路が設けられる。

[0042] ラッチ71は、nビットのラッチ回路であり、データラッチ33の内容が更新される直前に、デー

タラッチ33から出力される画像データの上位nビット又は全ビットを取り込み、これを保持する。比較回路72は、データラッチ33及びラッチ71から受け取った1水平期間前の画像データのnビットと比較し、比較結果信号CMPをスイッチ制御回路73へ出力する。スイッチ制御回路73は、比較結果信号CMPと極性反転信号Poとに基づいて、アナログスイッチSW1、SW2、SW3に対し、予め設定されたタイミングでオン/オフを制御する。

[0043] 信号線Snは、アナログスイッチSW2又はアナログスイッチSW3がオンすることにより中間電位Vp又は中間電位Vqへプリチャージされる。ただし、中間電位Vpは共通電位Vcomより正極側へ設定され、中間電位Vqは共通電位Vcomより負極側へ設定されている。

[0044] 図5は、図4の信号線駆動回路の動作を示すタイミングチャートである。以下、図4及び図5に基づき説明する。

[0045] この極性反転信号Poを用いた信号線駆動回路の動作のタイミングは、図5のようになる。正極側駆動時(Po=H)において、上記第二実施形態と同様に、比較回路72は第一の画像データD1の上位nビットとラッチ71の画像データD0'とを比較する。これらが一致しない場合、スイッチ制御回路73は、アナログスイッチSW2をオンすることにより信号線Snを中間電位Vpにプリチャージし、続いてアナログスイッチSW2をオフし、アナログスイッチSW1をオンすることにより、画像データD1に対応する階調電圧を信号線Snへ供給する(T1)。

[0046] 第二の画像データD2が供給されると、画像データD2と第一の画像データD1の上位nビットとが一致しているため(CMP=L)、プリチャージは行わない。そのため、スイッチ制御回路73は、アナログスイッチSW2をオフのまま、アナログスイッチSW1のみをオンすることにより、信号線Snへ階調電圧を供給する(T2)。

[0047] 極性反転信号PoがLになると階調電圧が負極性へ反転するため、スイッチ制御回路73は、比較結果信号CMPに問わずアナログスイッチSW3をオンすることにより、信号線Snを負極側の中間電位Vqにプリチャージする。その後、スイッチ制御回路73は、アナログスイッチSW1をオンすることにより、第三の画像データD3に対応する階調電圧を信号線Snへ供給する(T3)。

[0048] 同様に、負極側駆動から正極側駆動へ極性反転する場合には、比較の結果に問わずアナログスイッチSW2をオンすることにより、信号線Snを中間電位Vpへプリチャージする。このように、本実施形態の信号線駆動回路によれば、極性反転駆動を行う場合においてもプリチャージの制御を行うことができるので、低

消費電力化が可能となる。

[0049] 換言すると、ライン反転駆動方式のように1フレーム期間において液晶パネルに配置された液晶素子へ同極性の電圧を供給する場合、列で隣り合う液晶素子へ書き込む階調電圧が等しいれば、プリチャージを行わなくとも十分に安定した書き込みが可能である。

[0050] 図6は、本発明に係る信号線駆動回路の第四実施形態を示すブロック図である。図7は、図6の信号線駆動回路における出力回路を示す回路図である。以下、図6及び図7に基づき説明する。

[0051] 本実施形態の信号線駆動回路は、1水平期間前の画像データと次に表示する画像データとを各信号線ごとに比較する画像データ比較手段としてのラッチ91及び比較回路92と、比較回路92での比較結果に基づいて中間電位Vpを供給するスイッチ制御手段としてのスイッチ制御回路93とを備えたことを特徴とする。

[0052] また、本実施形態の信号線駆動回路は、データラッチ33、デコーダ34、アナログスイッチ35、出力回路36、アナログスイッチSW1、SW2等を備えている。なお、本実施形態の信号線駆動回路は、わかりやすくするために、信号線Snのみに対するものとして図示している。したがって、実際には、信号線S1、S2、…、Snのそれぞれに対して本実施形態の信号線駆動回路が設けられる。

[0053] 上記第二及び第三実施形態では、プリチャージを制御する機能を画像データの上位ビットの一致判定に基づいて実現している。これに対し、本実施形態では、画像データの大小比較を行う機能を比較回路92に持たせている。

[0054] 出力回路36は、図7に示すように、NcH受けオプアンプ101、Pch受けオプアンプ102、スイッチ群SW101a、SW101b、SW102a、SW102b等から構成される。Nch受けオプアンプ101は主に信号線Snへ電荷を供給するために用いられ、Pch受けオプアンプ102は主に信号線Snの電位を引き下げるために用いられる。

[0055] ラッチ91は、データラッチ33から出力される画像データDの全ビットを保持できる構成である。比較回路92は、1水平期間前の画像データの上位1ビットの一致判定を行う機能と、両者の画像データの自体の大きさを比較する機能を有しており、上位1ビットの比較結果信号をCMP1、大小の比較結果信号をCMP2としてスイッチ制御回路93へ出力する。スイッチ制御回路93は、アナログスイッチSW1、SW2の制御端子、及び図7に示すスイッチSW101a、SW101b、SW102a、SW102bの制御端子へそれぞれ制御信号を出力し、これらのオン/オフを切り替える。

[0056] 図8は、図6の信号線駆動回路の動作を示すタイミングチャートである。以下、図6乃至図8に基づ

づき説明する。
 【0057】図8におけるSW101は図7のSW101a, SW101b, 図8におけるSW102は図7のSW102a, SW102bをそれぞれまとめて表したものである。
 【0058】第一の画像データD1がデータラッチ33に取り込まれると、比較回路92は、画像データD1とラッチ91に取り込まれている画像データD0'との上位1ビットの一致判定を行い、比較結果信号CMP1を出力する。これらの二つの画像データが一致しない時(CMP1=H)、スイッチ制御回路93は、スイッチSW2をオンすることにより、信号線Snにプリチャージを行う。

【0059】また、比較回路92は、画像データD1と画像データD0'との大小比較を行い、比較結果信号CMP2を出力する。CMP2=Hのとき、すなわち、画像データD1に対応する階調電圧が画像データD0'に対応する階調電圧より大きいとき、スイッチ制御回路93は、信号線Snがプリチャージされた後、出力回路36のスイッチSW101a, SW101b及びアナログスイッチSW1をオンする。これにより、オペアンプ101は、信号線Snへ電荷をチャージすることにより選択された階調電圧を供給する(T1)。

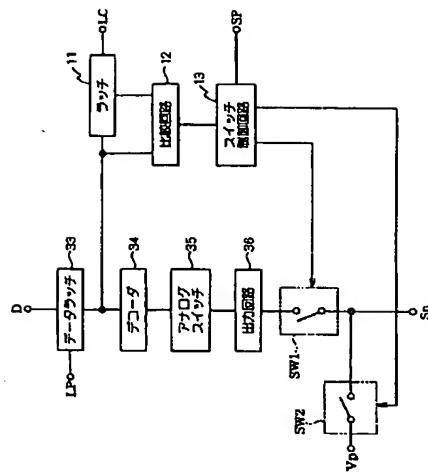
【0060】第一の画像データD1がラッチ91に取り込まれ、第二の画像データD2が入力されると、画像データD1'と画像データD2との上位ビットが一致しているため、比較回路92は比較結果信号CMP1をしとする。すると、アナログスイッチSW2はオフしたままであり、プリチャージは行われない。また、画像データD2は画像データD1'よりも小さい値であるので、比較結果信号CMP2はLとなる。そのため、スイッチ制御回路93は、スイッチSW102a, SW102b及びアナログスイッチSW1をオンすることにより、オペアンプ102は画像データD3に対応する階調電圧が信号線Snへ供給される(T2)。

【0061】第三の画像データD3が入力されると、ラッチ91の画像データD2'と画像データD3との比較結果によってアナログスイッチSW2がオンとなる。信号線Snは中間電位Vpにプリチャージされる。続いて、スイッチSW102a, SW102b及びアナログスイッチSW1がオンとなることにより、オペアンプ102は画像データD3に対応する階調電圧を信号線Snへ供給する(T3)。

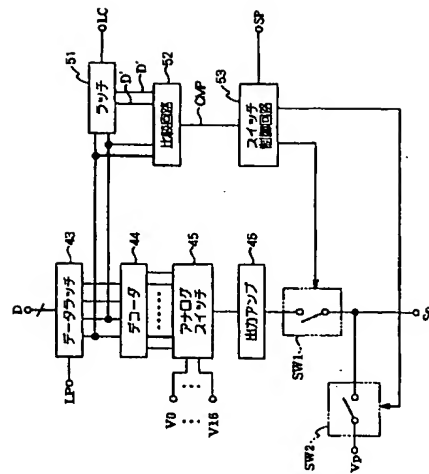
【0062】本実施形態では、1水平期間前の画像データの上位ビットの比較に基づいてプリチャージを制御するとともに、これらの画像データの大きさを比較することにより二種類のオペアンプを使い分ける構成となっている。通常、出力アンプは立ち上がり速度、立ち下がり速度のギャップを埋めるために、Nch受けオペアンプ及びPch受けオペアンプを組み込んだ構成とするこ

12, 52, 72, 92 比較回路 (画像データ比較手段)
 101, 102 オペアンプ
 13, 53, 73, 93 スイッチ制御回路 (スイッチ)

【図1】

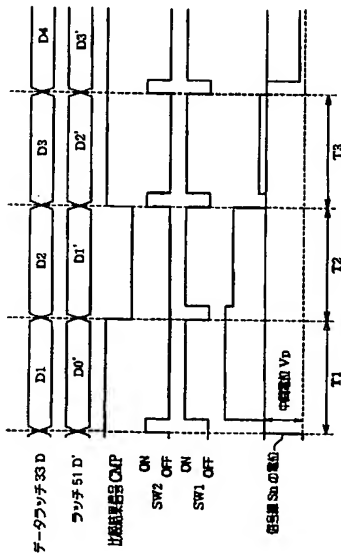


【図2】

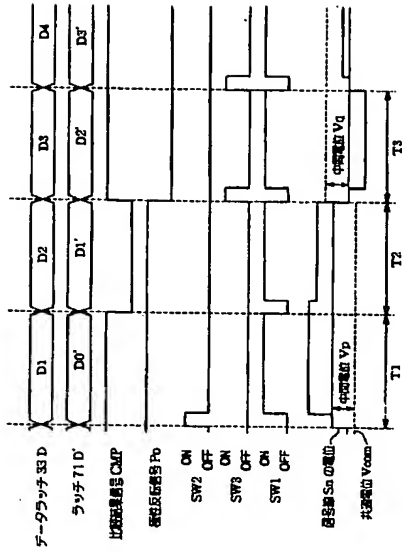


11, 51, 71, 91 ラッチ (画像データ比較手段)

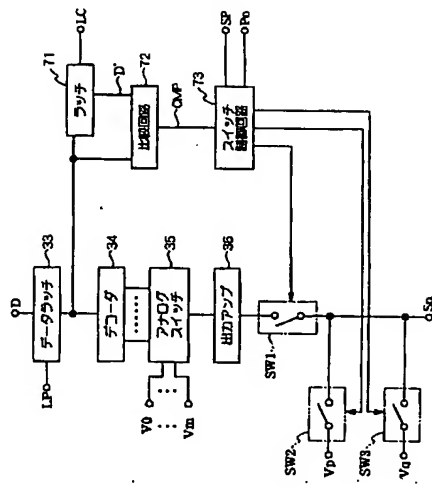
【図3】



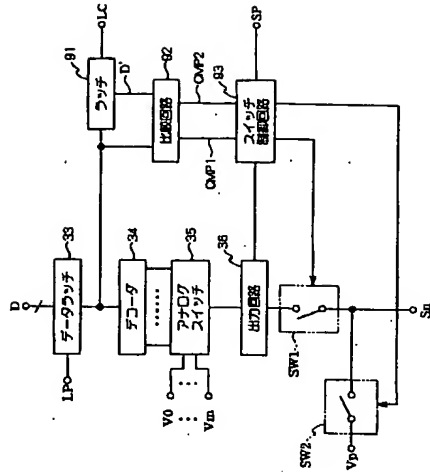
【図5】



【図4】



【図6】



【図11】

